

#2/Priority
DLC
11/5/04

Docket No.: 50090-338

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Hiroiyuki AMISHIRO, et al.

Serial No.:

Group Art Unit:

Filed: September 24, 2001

Examiner:

For: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

J1046 U.S. PTO
09/960495
09/24/01

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2001-059948, filed March 5, 2001

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:prp
Date: September 24, 2001
Facsimile: (202) 756-8087

G46/us

50090-338
Amishiro et al.
September 24, 2001
McDermott, Will & Emery

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2001年 3月 5日

出 願 番 号

Application Number:

特願2001-059948

出 願 人

Applicant (s):

三菱電機株式会社

J1046 U.S. PTO

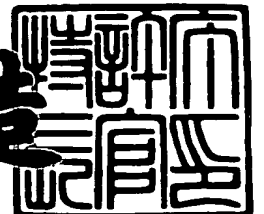
09/960495



2001年 3月23日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3023797

【書類名】 特許願

【整理番号】 529644JP01

【提出日】 平成13年 3月 5日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 網城 啓之

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 熊本 敏夫

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 五十嵐 元繁

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 山口 健司

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100082175

【弁理士】

【氏名又は名称】 高田 守

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100066991

【弁理士】

【氏名又は名称】 葛野 信一

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100106150

【弁理士】

【氏名又は名称】 高橋 英樹

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100108372

【弁理士】

【氏名又は名称】 谷田 拓男

【電話番号】 03-5379-3088

【手数料の表示】

【予納台帳番号】 049397

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板の表面に形成された所定領域の絶縁膜上に複数の抵抗素子が形成された半導体装置であって、

前記抵抗素子と近接する位置に活性領域を設けたことを特徴とする半導体装置

【請求項 2】 前記絶縁膜がシャロートレンチ法により形成された素子分離膜であることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記絶縁膜上に前記複数の抵抗素子が並べて配置され、各々の前記抵抗素子の下層の前記絶縁膜の幅が前記活性領域によって所定幅に規定されていることを特徴とする請求項 1 又は 2 記載の半導体装置。

【請求項 4】 前記所定幅が、前記所定幅に起因する前記抵抗素子の抵抗値のシフト量に基づいて規定されていることを特徴とする請求項 3 記載の半導体装置。

【請求項 5】 前記活性領域上を含む領域に前記抵抗素子と同一層からなるダミーゲート電極が設けられていることを特徴とする請求項 1～4 のいずれかに記載の半導体装置。

【請求項 6】 前記ダミーゲート電極の面積が前記活性領域の面積よりも広く形成されており、前記活性領域が前記ダミーゲート電極によって完全に覆われていることを特徴とする請求項 5 記載の半導体装置。

【請求項 7】 1つの前記活性領域上に複数の前記ダミーゲート電極が形成されていることを特徴とする請求項 5 記載の半導体装置。

【請求項 8】 前記抵抗素子と前記ダミーゲート電極の間の距離が、前記複数の抵抗素子において同一の値に設定されていることを特徴とする請求項 5～7 のいずれかに記載の半導体装置。

【請求項 9】 隣接する前記活性領域の間に複数の前記抵抗素子が形成されていることを特徴とする請求項 1～8 のいずれかに記載の半導体装置。

【請求項 10】 前記複数の抵抗素子間の距離が、前記半導体基板上に前記

導電膜から形成されたパターン相互の間隔の最小値に設定されていることを特徴とする請求項 9 記載の半導体装置。

【請求項 1 1】 前記活性領域が前記抵抗素子の長手方向の端部近傍まで達しており、前記抵抗素子の周囲が前記活性領域によって囲まれていることを特徴とする請求項 1 ～ 1 0 のいずれかに記載の半導体装置。

【請求項 1 2】 前記ダミーゲート電極が前記抵抗素子の長手方向の端部近傍まで達しており、前記抵抗素子の周囲が前記ダミーゲート電極によって囲まれていることを特徴とする請求項 5 ～ 1 1 のいずれかに記載の半導体装置。

【請求項 1 3】 前記抵抗素子が多結晶シリコン膜及びシリサイド膜からなるポリサイド構造の積層膜から構成され、前記シリサイド膜が前記抵抗素子の上面で選択的に除去されていることを特徴とする請求項 1 ～ 1 2 のいずれかに記載の半導体装置。

【請求項 1 4】 前記ダミーゲート電極が多結晶シリコン膜及びシリサイド膜からなるポリサイド構造の積層膜から構成されていることを特徴とする請求項 5 ～ 1 3 のいずれかに記載の半導体装置。

【請求項 1 5】 前記活性領域に所定の不純物が導入されるとともにコンタクト層が接続されており、前記活性領域が拡散層抵抗素子として機能することを特徴とする請求項 1 ～ 1 4 のいずれかに記載の半導体装置。

【請求項 1 6】 前記活性領域が、前記抵抗素子の長手方向の両端部近傍に配置され、前記抵抗素子が延在する方向と垂直方向に延在していることを特徴とする請求項 1 5 記載の半導体装置。

【請求項 1 7】 前記抵抗素子の上面に所定パターンの配線膜が形成され、前記抵抗素子の面積と、前記抵抗素子上で前記抵抗素子と前記配線膜がオーバーラップする領域の面積との比がそれぞれの前記抵抗素子においてほぼ一定であることを特徴とする請求項 1 ～ 1 6 のいずれかに記載の半導体装置。

【請求項 1 8】 前記抵抗素子が前記所定領域外で形成された MOS トランジスタのゲート電極と同一層によって形成されていることを特徴とする請求項 1 ～ 1 7 のいずれかに記載の半導体装置。

【請求項 1 9】 半導体基板上の所定領域において、平行に並べられた複数

の帯状の矩形領域を残すように当該矩形領域の周囲をエッチングにより除去して溝を形成する第 1 の工程と、

前記半導体基板上に絶縁膜を形成して前記溝を埋め込む第 2 の工程と、

前記絶縁膜の表面を研磨して、前記溝以外の領域における前記絶縁膜を除去して前記矩形領域を活性領域として画定するとともに前記溝上の前記絶縁膜の表面を平坦化する第 3 の工程と、

前記半導体基板上に所定の抵抗値を有する材料からなる導電膜を形成する第 4 の工程と、

前記導電膜を前記絶縁膜上でパターンニングして、隣接する前記活性領域間で前記活性領域と平行に延在する矩形状の抵抗素子を形成する第 5 の工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2 0】 隣接する前記活性領域間の間隔を前記第 5 の工程で形成する抵抗素子の抵抗値の許容範囲に基づいて設定することを特徴とする請求項 1 9 記載の半導体装置の製造方法。

【請求項 2 1】 前記第 5 の工程において、隣接する前記活性領域間において複数の前記抵抗素子を形成することを特徴とする請求項 1 9 又は 2 0 記載の半導体装置の製造方法。

【請求項 2 2】 前記第 5 の工程において、前記活性領域上を含む領域に前記導電膜からなり前記抵抗素子とほぼ平行に延在するダミーゲート電極を前記抵抗素子とともに形成することを特徴とする請求項 1 9 ～ 2 1 のいずれかに記載の半導体装置の製造方法。

【請求項 2 3】 前記第 5 の工程において、前記抵抗素子を形成するとともに、前記活性領域上から前記絶縁膜上へ連なり前記抵抗素子を囲むダミーゲート電極を形成することを特徴とする請求項 1 9 ～ 2 2 のいずれかに記載の半導体装置の製造方法。

【請求項 2 4】 前記第 5 の工程において、前記抵抗素子を形成するとともに前記所定領域外で前記導電膜からなる MOS トランジスタのゲート電極をパターンニングすることを特徴とする請求項 1 9 ～ 2 3 のいずれかに記載の半導体装置の製造方法。

【請求項 2 5】 前記抵抗素子と前記ダミーゲート電極との間隔を、前記半導体基板上に前記導電膜から形成されるパターン相互の間隔の最小値とすることを特徴とする請求項 2 2 ～ 2 4 のいずれかに記載の半導体装置の製造方法。

【請求項 2 6】 1 つの前記活性領域に複数の前記ダミーゲート電極を形成することを特徴とする請求項 2 2 ～ 2 5 のいずれかに記載の半導体装置の製造方法。

【請求項 2 7】 前記活性領域を完全に覆うように前記ダミーゲート電極を形成することを特徴とする請求項 2 2 ～ 2 6 のいずれかに記載の半導体装置の製造方法。

【請求項 2 8】 半導体基板上の所定領域において、前記半導体基板を選択的にエッチングして平行に並べられた複数の矩形状の溝を形成する第 1 の工程と、

前記半導体基板上に絶縁膜を形成して前記溝を埋め込む第 2 の工程と、

前記絶縁膜の表面を研磨して前記溝上の前記絶縁膜の表面を平坦化するとともに、前記溝以外の領域における前記絶縁膜を除去して当該溝以外の領域を前記絶縁膜を囲む活性領域として画定する第 3 の工程と、

前記半導体基板上に所定の抵抗値を有する材料からなる導電膜を形成する第 4 の工程と、

前記導電膜を前記絶縁膜上でパターンニングして、前記複数の矩形状の溝をそれぞれ埋め込む前記絶縁膜上に前記導電膜からなる抵抗素子を形成する第 5 の工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2 9】 隣接する前記溝の間隔を前記第 5 の工程で形成する抵抗素子の抵抗値の許容範囲に基づいて設定することを特徴とする請求項 2 8 記載の半導体装置の製造方法。

【請求項 3 0】 前記第 5 の工程において、前記抵抗素子を形成するとともに前記活性領域上で前記導電膜をパターンニングして、前記抵抗素子を囲むダミーゲート電極を形成することを特徴とする請求項 2 8 又は 2 9 記載の半導体装置の製造方法。

【請求項 3 1】 前記第 5 の工程において、前記抵抗素子を形成するとともに

に前記所定領域外で前記導電膜からなるMOSトランジスタのゲート電極をパターンニングすることを特徴とする請求項28～30のいずれかに記載の半導体装置の製造方法。

【請求項32】 前記抵抗素子と前記ダミーゲート電極との間隔を、前記半導体基板上に前記導電膜から形成されるパターン相互の間隔の最小値とすることを特徴とする請求項30又は31記載の半導体装置の製造方法。

【請求項33】 前記活性領域を完全に覆うように前記ダミーゲート電極を形成することを特徴とする請求項30～32のいずれかに記載の半導体装置の製造方法。

【請求項34】 前記活性領域に不純物を導入して前記活性領域を拡散層抵抗素子とする工程を更に有することを特徴とする請求項19～33のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は半導体装置及びその製造方法に関し、特に、抵抗素子を有する半導体装置に適用して好適である。

【0002】

【従来の技術】

半導体装置に用いられる抵抗素子は、半導体基板の表面に形成した拡散層を用いる拡散抵抗と、多結晶シリコン膜を用いたポリ抵抗に大別される。このうち、ポリ抵抗による抵抗素子は半導体基板上の素子分離膜上に形成されることが多い。

【0003】

図13は、ゲート層を用いて素子分離酸化膜上に抵抗素子を形成した例を示す模式図である。ここで、図13(a)は抵抗素子を形成した半導体装置の平面図を、図13(b)及び図13(c)は、図13(a)中の一点鎖線IV-IVに沿った断面を示す模式図である。

【0004】

微細化に伴い、近時においてはCMP（化学機械研磨）法を用いたシャロートレンチ（STI）法により素子分離を行うのが一般的である。図13に示す半導体装置においても、STI法により形成した素子分離酸化膜102によって半導体基板101の素子分離が成されている。STI法による素子分離酸化膜102の形成は、エッチングにより半導体基板101に溝を形成し、シリコン酸化膜等の絶縁膜を全面に堆積して溝を埋め込み、CMP法により溝以外の領域における半導体基板101上の余分な絶縁膜を研磨して除去することによって行われる。

【0005】

図13の半導体装置は、素子分離酸化膜102を形成した後、素子分離酸化膜102上に複数の抵抗素子104を形成したものである。各抵抗素子104は、その後の配線形成工程により、更に上層の配線層105とコンタクト層106を介して接続される。抵抗素子104のサイズは全長（L）＝100 μ m程度であり、半導体基板101上に多数の抵抗素子104を形成する必要があるため、広大な素子分離酸化膜102を形成して、その上に多数の抵抗素子104を一括して形成することが行われている。

【0006】

このようにして形成される抵抗素子104の抵抗値は、パターン幅、素子の全長、厚さの他、膜の成長法、添加する不純物の濃度、厚さ方向のプロファイル、熱処理などの様々な要因で決定されるものである。

【0007】

【発明が解決しようとする課題】

しかしながら、素子分離酸化膜102を広大な面積で形成すると、素子分離酸化膜102の周辺部から中央部に向かうにつれてCMP法による研磨量が増大するため、中央部において素子分離酸化膜102の厚さが薄くなってしまいうという問題が発生する。これは、CMP法における平坦化技術において、いわゆるディッシングと呼ばれる現象に起因するものであり、この現象により素子分離酸化膜102の中央部には図13（c）に示すような凹みが形成されてしまう。

【0008】

凹みが形成された素子分離酸化膜102上に抵抗素子104を形成すると、素

子分離酸化膜 1 0 2 の中央部に形成された抵抗素子 1 0 4 と、周辺部に形成された抵抗素子 1 0 4 との間で形状上の相違が発生してしまう。

【 0 0 0 9 】

形状上の相違としては、①凹みの生じている素子分離酸化膜 1 0 2 上に抵抗素子 1 0 4 の材料である多結晶シリコン膜を形成するため、中央部の膜厚が周辺部よりも厚く形成されるという膜厚の差、②抵抗素子 1 0 4 を形成する高さ位置が異なることによる抵抗素子 1 0 4 の幅の差、③抵抗素子の断面形状の差、などが挙げられる。このような形状上の相違は素子分離酸化膜 1 0 2 の幅が大きくなるほど増大してしまう。

【 0 0 1 0 】

図 1 4 は、素子分離酸化膜 1 0 2 の幅に対する素子分離酸化膜 1 0 2 の中央部の高さ位置 (H) の関係 (実線) と、素子分離酸化膜 1 0 2 の幅に対する抵抗素子 1 0 4 の全長寸法のシフト量 (L_{sift}) との関係 (点線) を示す特性図である。図 1 4 に示すように、素子分離酸化膜 1 0 2 の幅の増加に伴って、素子分離酸化膜 1 0 2 の高さ位置は減少し、また、寸法のシフト量も増大する。素子分離酸化膜 1 0 2 の幅が $100\mu m$ の場合には、抵抗素子 1 0 4 の全長寸法のシフト量は 1 3 % に達し、結果として抵抗値のシフト量も 1 3 % となってしまう。

【 0 0 1 1 】

このように、従来の方法では、素子分離酸化膜 1 0 2 上の抵抗素子 1 0 4 の形状を一定に保つことができないため、抵抗素子 1 0 4 の抵抗値に差が生じてアナログ回路のような要求精度の高い回路に適用することが困難となっていた。

【 0 0 1 2 】

この発明は上述のような問題を解決するために成されたもので、第 1 の目的は、素子分離酸化膜上に所望の形状の抵抗素子を形成して、抵抗値の精度を高めて信頼性を向上させた半導体装置を提供することにある。

【 0 0 1 3 】

また、第 2 の目的は、抵抗素子が形成される領域の配置効率を向上させて、微細化に適した半導体装置を提供することにある。

【 0 0 1 4 】

【課題を解決するための手段】

この発明の半導体装置は、半導体基板の表面に形成された所定領域の絶縁膜上に複数の抵抗素子が形成された半導体装置であって、前記抵抗素子と近接する位置に活性領域を設けたものである。

【0015】

また、前記絶縁膜がシャロートレンチ法により形成された素子分離膜である。

【0016】

また、前記絶縁膜上に前記複数の抵抗素子が並べて配置され、各々の前記抵抗素子の下層の前記絶縁膜の幅が前記活性領域によって所定幅に規定されているものである。

【0017】

また、前記所定幅が、前記所定幅に起因する前記抵抗素子の抵抗値のシフト量に基づいて規定されているものである。

【0018】

また、前記活性領域上を含む領域に前記抵抗素子と同一層からなるダメージート電極が設けられているものである。

【0019】

また、前記ダメージート電極の面積が前記活性領域の面積よりも広く形成されており、前記活性領域が前記ダメージート電極によって完全に覆われているものである。

【0020】

また、1つの前記活性領域上に複数の前記ダメージート電極が形成されているものである。

【0021】

また、前記抵抗素子と前記ダメージート電極の間の距離が、前記複数の抵抗素子において同一の値に設定されているものである。

【0022】

また、隣接する前記活性領域の間に複数の前記抵抗素子が形成されているものである。

【 0 0 2 3 】

また、前記複数の抵抗素子間の距離が、前記半導体基板上に前記導電膜から形成されたパターン相互の間隔の最小値に設定されているものである。

【 0 0 2 4 】

また、前記活性領域が前記抵抗素子の長手方向の端部近傍まで達しており、前記抵抗素子の周囲が前記活性領域によって囲まれているものである。

【 0 0 2 5 】

また、前記ダミーゲート電極が前記抵抗素子の長手方向の端部近傍まで達しており、前記抵抗素子の周囲が前記ダミーゲート電極によって囲まれているものである。

【 0 0 2 6 】

また、前記抵抗素子が多結晶シリコン膜及びシリサイド膜からなるポリサイド構造の積層膜から構成され、前記シリサイド膜が前記抵抗素子の上面で選択的に除去されているものである。

【 0 0 2 7 】

また、前記ダミーゲート電極が多結晶シリコン膜及びシリサイド膜からなるポリサイド構造の積層膜から構成されているものである。

【 0 0 2 8 】

また、前記活性領域に所定の不純物が導入されるとともにコンタクト層が接続されており、前記活性領域が拡散層抵抗素子として機能するものである。

【 0 0 2 9 】

また、前記活性領域が、前記抵抗素子の長手方向の両端部近傍に配置され、前記抵抗素子が延在する方向と垂直方向に延在しているものである。

【 0 0 3 0 】

また、前記抵抗素子の上面に所定パターンの配線膜が形成され、前記抵抗素子の面積と、前記抵抗素子上で前記抵抗素子と前記配線膜がオーバーラップする領域の面積との比がそれぞれの前記抵抗素子においてほぼ一定である。

【 0 0 3 1 】

また、前記抵抗素子が前記所定領域外で形成されたMOSトランジスタのゲー

ト電極と同一層によって形成されているものである。

【 0 0 3 2 】

また、この発明の半導体装置の製造方法は、半導体基板上の所定領域において、平行に並べられた複数の帯状の矩形領域を残すように当該矩形領域の周囲をエッチングにより除去して溝を形成する第1の工程と、前記半導体基板上に絶縁膜を形成して前記溝を埋め込む第2の工程と、前記絶縁膜の表面を研磨して、前記溝以外の領域における前記絶縁膜を除去して前記矩形領域を活性領域として画定するとともに前記溝上の前記絶縁膜の表面を平坦化する第3の工程と、前記半導体基板上に所定の抵抗値を有する材料からなる導電膜を形成する第4の工程と、前記導電膜を前記絶縁膜上でパターニングして、隣接する前記活性領域間で前記活性領域と平行に延在する矩形状の抵抗素子を形成する第5の工程とを有するものである。

【 0 0 3 3 】

また、隣接する前記活性領域間の間隔を前記第5の工程で形成する抵抗素子の抵抗値の許容範囲に基づいて設定するものである。

【 0 0 3 4 】

また、前記第5の工程において、隣接する前記活性領域間において複数の前記抵抗素子を形成するものである。

【 0 0 3 5 】

また、前記第5の工程において、前記活性領域上を含む領域に前記導電膜からなり前記抵抗素子とほぼ平行に延在するダミーゲート電極を前記抵抗素子とともに形成するものである。

【 0 0 3 6 】

また、前記第5の工程において、前記抵抗素子を形成するとともに、前記活性領域上から前記絶縁膜上へ連なり前記抵抗素子を囲むダミーゲート電極を形成するものである。

【 0 0 3 7 】

また、前記第5の工程において、前記抵抗素子を形成するとともに前記所定領域外で前記導電膜からなるMOSトランジスタのゲート電極をパターニングする

ものである。

【 0 0 3 8 】

また、前記抵抗素子と前記ダミーゲート電極との間隔を、前記半導体基板上に前記導電膜から形成されるパターン相互の間隔の最小値とするものである。

【 0 0 3 9 】

また、1つの前記活性領域に複数の前記ダミーゲート電極を形成するものである。

【 0 0 4 0 】

また、前記活性領域を完全に覆うように前記ダミーゲート電極を形成するものである。

【 0 0 4 1 】

また、この発明の半導体装置の製造方法は、半導体基板上の所定領域において、前記半導体基板を選択的にエッチングして平行に並べられた複数の矩形状の溝を形成する第1の工程と、前記半導体基板上に絶縁膜を形成して前記溝を埋め込む第2の工程と、前記絶縁膜の表面を研磨して前記溝上の前記絶縁膜の表面を平坦化するとともに、前記溝以外の領域における前記絶縁膜を除去して当該溝以外の領域を前記絶縁膜を囲む活性領域として画定する第3の工程と、前記半導体基板上に所定の抵抗値を有する材料からなる導電膜を形成する第4の工程と、前記導電膜を前記絶縁膜上でパターンニングして、前記複数の矩形状の溝をそれぞれ埋め込む前記絶縁膜上に前記導電膜からなる抵抗素子を形成する第5の工程とを有するものである。

【 0 0 4 2 】

また、隣接する前記溝の間隔を前記第5の工程で形成する抵抗素子の抵抗値の許容範囲に基づいて設定するものである。

【 0 0 4 3 】

また、前記第5の工程において、前記抵抗素子を形成するとともに前記活性領域上で前記導電膜をパターンニングして、前記抵抗素子を囲むダミーゲート電極を形成するものである。

【 0 0 4 4 】

また、前記第 5 の工程において、前記抵抗素子を形成するとともに前記所定領域外で前記導電膜からなる MOS トランジスタのゲート電極をパターンニングするものである。

【 0 0 4 5 】

また、前記抵抗素子と前記ダミーゲート電極との間隔を、前記半導体基板上に前記導電膜から形成されるパターン相互の間隔の最小値とするものである。

【 0 0 4 6 】

また、前記活性領域を完全に覆うように前記ダミーゲート電極を形成するものである。

【 0 0 4 7 】

また、前記活性領域に不純物を導入して前記活性領域を拡散層抵抗素子とする工程を更に有するものである。

【 0 0 4 8 】

【発明の実施の形態】

以下、本発明のいくつかの実施の形態を図面に基づいて説明する。

実施の形態 1 .

図 1 はこの発明の実施の形態 1 である半導体装置を示す模式図であって、図 1 (a) は実施の形態 1 の半導体装置の平面構成を示す平面図であり、図 1 (b) は図 1 (a) の一点鎖線 I - I に沿った断面を示す概略断面図である。

【 0 0 4 9 】

先ず、図 1 に基づいて実施の形態 1 の半導体装置の構成を説明する。図 1 に示す半導体装置は、半導体基板 1 の表面領域に STI 法によって素子分離酸化膜 2 を形成し、素子分離酸化膜 2 上に MOS トランジスタのゲート層を用いた幅 W の矩形状の抵抗素子 4 を形成したものである。抵抗素子 4 の材料としては例えばゲート層の材料である多結晶シリコン膜を用いることができる。そして、図 1 (a) に示すように、各抵抗素子 4 の幅方向の左右に隣接するように素子活性領域 3 を形成している。従って、素子分離酸化膜 2 は個々の抵抗素子 4 に対応して形成された素子活性領域 3 によって仕切られており、その幅が所定の値に規定されている。

【 0 0 5 0 】

抵抗素子 4 上は層間絶縁膜（不図示）で覆われており、図 1（a）に示すように、層間絶縁膜上に形成された配線層 5 がコンタクト層 6 を介して抵抗素子 4 の両端に接続されている。なお、図 1 においては、抵抗素子 4 と配線層 5 を接続するコンタクト層 6 を簡易的に 1 つ示しているが、好適にはコンタクト抵抗が抵抗素子 4 の許容ばらつき以下となる個数のコンタクト層 6 を配置することが望ましい。すなわち、コンタクト層 6 の数が下式を満たすことが望ましい。

$$(\text{コンタクト層 6 の 1 個の抵抗値}) / (\text{コンタクト層 6 の数}) \leq \text{許容率} \times (\text{抵抗素子 4 の抵抗値})$$

【 0 0 5 1 】

このように、抵抗素子 4 に対応させて素子活性領域 3 を形成し、素子分離酸化膜 2 の幅（ W_{sti} ）を必要最小限の幅に設定することにより、素子分離酸化膜 2 を形成する際の CMP 研磨によって、素子分離酸化膜 2 の中央部における膜厚が薄くなって凹みが形成されてしまうことを抑止することができる。

【 0 0 5 2 】

素子活性領域 3 は素子分離酸化膜 2 の幅を規定して、素子分離酸化膜 2 を短冊状に区切る役割を果たすため、素子活性領域 3 の幅（ W_a ）には特に制約がない。素子活性領域 3 の幅が小さい程、同一範囲でより多くの抵抗素子 4 を配置することができ、抵抗素子 4 を配置する効率が向上するため、素子活性領域 3 の幅は作成できる最小幅まで狭めておくことが望ましい。

【 0 0 5 3 】

また、素子分離酸化膜 2 の幅（ W_{sti} ）は、抵抗素子 4 の機能から許容される寸法シフト量以下に規定しておくことが望ましく、この幅は例えば図 1 3 に示した測定結果に基づいて決定することができる。これにより、抵抗素子 4 の抵抗値のシフト量を所望の値以下に抑えることができ、抵抗素子 4 の抵抗値を設計の許容範囲内に設定することができる。

【 0 0 5 4 】

次に、実施の形態 1 の半導体装置の製造方法を説明する。まず、半導体基板 1 に STI 法により素子分離酸化膜 2 を形成する。具体的には、エッチングにより

半導体基板 1 上の所定の領域に溝を形成し、シリコン酸化膜等の絶縁膜を全面に堆積して溝を埋め込み、CMP 法により溝以外の領域における半導体基板 1 上の余分な絶縁膜を研磨して除去することにより、半導体基板 1 の所定の領域を埋め込む素子分離酸化膜 2 を形成する。この際、抵抗素子 4 が形成される領域においては、素子分離酸化膜 2 の幅が W_{sti} 以下となるように素子活性領域 3 を配置して素子分離酸化膜 2 を形成する。

【 0 0 5 5 】

次に、半導体基板 1 上を覆うように多結晶シリコン膜を形成する。多結晶シリコン膜には所定の導電性を確保するため不純物を添加する。その後、フォトリソグラフィー及びこれに続くドライエッチングにより多結晶シリコン膜をパターニングして、この多結晶シリコン膜からなる抵抗素子 4 を素子分離酸化膜 2 上に形成する。また、抵抗素子 4 のパターニングと同時に MOS トランジスタの形成領域において、多結晶シリコン膜からなるゲート電極をパターニングする。

【 0 0 5 6 】

その後、抵抗素子 4 を覆う層間絶縁膜を形成し、抵抗素子 4 の両端に到達するコンタクトホールを開口し、コンタクトホールを充填するコンタクト層 6 を形成し、更に、コンタクト層 6 と接続される配線層 5 を層間絶縁膜上に形成してこれをパターニングすることにより図 1 に示す半導体装置を完成させる。

【 0 0 5 7 】

以上説明したように、実施の形態 1 では素子分離酸化膜 2 上に抵抗素子 4 を形成し、抵抗素子 4 の幅方向の左右に隣接するようにして素子活性領域 3 を形成するようにしたため、抵抗素子 4 が形成される領域の素子分離酸化膜 2 を抵抗素子 4 に合わせて短冊状に区切ることができる。これにより、素子分離酸化膜 2 の幅を必要最小限の幅に規定することができ、CMP 法による研磨の際、素子分離酸化膜 2 表面の平坦性を大幅に向上させることができる。従って、素子分離酸化膜 2 に安定した形状の所望の抵抗値を有する抵抗素子 4 を形成することが可能となり、各抵抗素子 4 の抵抗値を均一に設定することができる。

【 0 0 5 8 】

また、素子分離酸化膜 2 の幅 (W_{sti}) を、抵抗素子 4 の機能から許容され

る寸法シフト量以下に設定することにより、抵抗素子 4 の抵抗値を設計値内に納めることができ、アナログ回路などの抵抗値の要求精度の厳しい半導体装置の信頼性を向上させることが可能となる。

【 0 0 5 9 】

実施の形態 2.

図 2 はこの発明の実施の形態 2 である半導体装置を示す模式図であって、図 2 (a) は実施の形態 2 の半導体装置の平面構成を示す平面図であり、図 2 (b) は図 2 (a) の一点鎖線 I I - I I に沿った断面を示す概略断面図である。

【 0 0 6 0 】

実施の形態 2 の半導体装置においては、各抵抗素子 4 の幅方向の左右に設けられた素子活性領域 3 が素子分離酸化膜 2 の幅を規定している点は実施の形態 1 の半導体装置と同様である。実施の形態 2 の半導体装置においては、図 2 (a) に示すように、抵抗素子 4 の両側の素子活性領域 3 上にダミーゲート電極 7 を設けている点で実施の形態 1 の半導体装置と相違する。以下の各実施の形態の説明においては、図 1 に示した実施の形態 1 の半導体装置と同一の構成要素については各図に同一の符号を記して説明を一部省略する。

【 0 0 6 1 】

図 2 に示すように、素子活性領域 3 上に形成したダミーゲート電極 7 の形状、大きさは抵抗素子 4 とほぼ同一であり、図 2 (a) に示すように、ダミーゲート電極 7 は素子活性領域 3 の幅よりも狭い幅で、素子活性領域 3 上から素子分離酸化膜 2 上を跨ぐように抵抗素子 4 とほぼ平行に配置されている。

【 0 0 6 2 】

ダミーゲート電極 7 は、抵抗素子 4 と同様に MOS トランジスタ形成領域における MOS トランジスタのゲート層と同一層を用いて形成されている。従って、ダミーゲート電極 7 は素子活性領域 3 上にゲート酸化膜を介して形成されている。

【 0 0 6 3 】

そして、図 2 (a) に示すように、複数の抵抗素子 4 におけるダミーゲート電極 7 と抵抗素子 4 との間を同一のゲート間隔 S だけ離間させている。そして、同

じ抵抗値を有する複数の抵抗素子4におけるゲート間隔Sを同じ値に揃えることによって、それぞれの抵抗素子4の抵抗値を同一値に揃えることが可能となる。より好ましくは、ゲート間隔Sは、半導体基板1上に形成されたパターンの間隔の最小値に近い値に設定しておく。

【0064】

通常の半導体装置製造プロセスにおいては、最小値のパターン間隔を基準としてプロセス条件の最適化が行われるため、ゲート間隔Sが大きくなるほどプロセス条件に適合しなくなり抵抗素子4のパターンの寸法精度が悪くなる。実施の形態2では、ゲート間隔Sを最小値に近い値に設定しているため、抵抗素子4及びダミーゲート電極7の形状の寸法精度を高い精度で保つことができる。

【0065】

ダミーゲート電極7は抵抗素子として使用せず、専ら抵抗素子4の形状の精度を高めるためのものであるため、ノイズ成分を低減させるためにダミーゲート電極7の電位は接地電位に固定しておく。また、ダミーゲート電極7の下層の素子活性領域3の電位は、ウェルと同電位に設定しておくことが望ましく、コンタクトを接続してウェルと同電位にするか、ウェルと同タイプの導電型として形成しておく。

【0066】

次に、図3の平面図に基づいて実施の形態2の半導体装置の別の例について説明する。図3の半導体装置は、各抵抗素子4の間に形成した素子活性領域3の幅が比較的大きい場合に、素子活性領域3上のダミーゲート電極7を素子分離酸化膜2上の抵抗素子4に近接するように設けた例を示している。

【0067】

このように、素子活性領域3の幅、大きさに制約を受けることなく、ダミーゲート電極7を抵抗素子4と近接させることにより抵抗素子4の形状劣化を抑えることができ、更に、複数の抵抗素子4におけるダミーゲート電極7と抵抗素子4の間隔を同一のゲート間隔Sに設定することにより、プロセス条件に適合させて各抵抗素子4の寸法精度を向上させることが可能となる。より好ましくは、同一の抵抗値を有する複数の抵抗素子4におけるダミーゲート電極7と抵抗素子4の

間隔を同一のゲート間隔 S に設定することにより各抵抗素子 4 の抵抗値を同一値に設定することができる。また、素子活性領域 3 上のダミーゲート電極 7 間にゲート配線を通過させることが可能となる。

【 0 0 6 8 】

次に、図 4 の平面図に基づいて実施の形態 2 の半導体装置の更に別の例について説明する。図 4 の半導体装置は、素子活性領域 3 上にダミーゲート電極 7 を設けるとともに、素子分離酸化膜 2 上に複数の抵抗素子 4 を配置した例を示している。この場合においても、複数の抵抗素子 4 における抵抗素子 4 とダミーゲート電極 7 との間隔を同一のゲート間隔 S に設定するとともに、素子分離酸化膜 2 上のそれぞれの抵抗素子 4 同士の間隔も同一のゲート間隔 S に設定しておくことが望ましい。より好適には、同一の抵抗値を有する複数の抵抗素子 4 における、抵抗素子 4 とダミーゲート電極 7 若しくは抵抗素子 4 との間隔を同一のゲート間隔 S に設定することにより各抵抗素子 4 の抵抗値を同一値に設定することができる。

【 0 0 6 9 】

このように、抵抗素子 4 と近接して素子分離酸化膜 2 上に抵抗素子 4 を形成するとともに、抵抗素子 4 とダミーゲート電極 7 を近接させることにより、抵抗素子 4 近傍の配線構造を一様とすることができ、精度向上に適した配置を行うことができる。好適には、抵抗素子 4 と隣接する抵抗素子 4 又はダミーゲート電極 7 との間隔をそれぞれの抵抗素子 4 において同一のゲート間隔 S に設定して、抵抗素子 4 の左右（上下）を対称に配置することによりマッチング精度を向上させることができ、各抵抗素子 4 の形状を高精度に保って抵抗値を同一値に設定できる。また、図 4 の例では、素子分離酸化膜 2 上に複数の抵抗素子 4 を形成した場合であっても、各抵抗素子 4 の寸法精度を高精度に保つことが可能となる。また、素子分離酸化膜 2 上に複数の抵抗素子 4 を配置することにより、抵抗素子 4 の配置効率を高めることができる。

【 0 0 7 0 】

次に、図 5 に基づいて実施の形態 2 の半導体装置の更に別の例について説明する。図 5 の半導体装置は、素子活性領域 3 上に素子活性領域 3 の幅よりも広い幅

のダミーゲート電極 7 を設け、ダミーゲート電極 7 で素子活性領域 3 を完全に覆った例を示している。ここで、図 5 (a) は半導体装置の平面構成を示す平面図であり、図 5 (b) は、図 5 (a) 中の一点鎖線 I I I - I I I に沿った断面を示す概略断面図である。

【 0 0 7 1 】

素子活性領域 3 とダミーゲート電極 7 の重ね合わせにおいて、素子活性領域 3 が露出したり露出しなかったりするとダミーゲート電極 7 の形状の安定性が得られず、このため、抵抗素子 4 の形状を保って安定的に供給することができなくなってしまう。図 5 に示すように、抵抗素子 4 の左右にダミーゲート電極 7 の幅よりも細い幅の素子活性領域 3 を形成し、素子活性領域 3 を完全に覆うようにダミーゲート電極 7 を形成することにより、ダミーゲート電極 7 の形状の安定性を得ることができる。そして、形状の安定化がなされたダミーゲート電極 7 と抵抗素子 4 とを近接させることにより、高い寸法精度の抵抗素子 4 を安定的に形成することが可能となる。

【 0 0 7 2 】

また、前述したように、素子活性領域 3 は素子分離酸化膜 2 を短冊状に区切る役割を果たすため、素子活性領域 3 の幅自体には特に制約がない。従って、素子活性領域 3 の幅を小さくすることにより素子分離酸化膜 2 の幅を拡大して抵抗素子 4 の配置効率を高めることができる。

【 0 0 7 3 】

次に、図 6 に基づいて実施の形態 2 の半導体装置の更に別の例について説明する。図 6 の半導体装置は、抵抗素子 4 が形成された素子分離酸化膜 2 を囲むように素子活性領域 3 を形成したものである。このように、抵抗素子 4 の周囲を素子活性領域 3 で囲むことにより、抵抗素子 4 の幅方向のみならず長手方向についても素子活性領域 3 によって素子分離酸化膜 2 の寸法を規定することができる。

【 0 0 7 4 】

これにより、抵抗素子 4 が形成される素子分離酸化膜 2 が島状の独立したパターンとなり、CMP 法による研磨の際に確実に平坦化を行うことができ、中央部に凹みが形成されてしまうことを抑止することができる。

【 0 0 7 5 】

次に、図 7 に基づいて実施の形態 2 の半導体装置の更に別の例について説明する。この例では、素子活性領域 3 の配置は図 2 で説明したものと同様であるが、ダミーゲート電極 7 を各抵抗素子 4 の周囲を囲むようにして形成した点で相違する。

【 0 0 7 6 】

このように、抵抗素子 4 の周囲をダミーゲート電極 7 で囲むことにより、抵抗素子 4 の形状を高精度に形成することができる。特に、抵抗素子 4 の長手方向の末端部における形状を精度良く形成することが可能となる。また、上述したように、抵抗素子 4 とダミーゲート電極 7 の間隔を最小値のゲート間隔 S で規定することにより、抵抗素子 4 の形状を非常に高い精度で形成することが可能となる。

【 0 0 7 7 】

図 8 は、抵抗素子 4 を囲むように素子活性領域 3 を形成し、素子活性領域 3 上にやはり抵抗素子 4 を囲むようにダミーゲート電極 7 を形成した例を示している。この例では、素子分離酸化膜 2 を島状にすることで CMP 法による研磨の際の素子分離酸化膜 2 の平坦性を向上させることができ、抵抗素子 4 の周囲を囲むようにダミーゲート電極 7 を形成することにより、抵抗素子 4 のパターニングの際の形状安定性を確保することが可能となる。

【 0 0 7 8 】

次に、図 9 に基づいて実施の形態 2 の半導体装置の更に別の例について説明する。図 9 の半導体装置は、多結晶シリコン膜とシリサイド膜の積層構造（ポリサイドゲート構造）を用いて抵抗素子 8 及びダミーゲート電極 9 を形成した例を示している。これは、MOS トランジスタ形成領域におけるゲート電極をポリサイドゲート構造で形成した場合に特に好適である。抵抗素子 8 は所定の抵抗値を確保する必要があるため、端部以外においてはシリサイド層が除去されており、この領域においては下層の多結晶シリコン膜 8 a が抵抗素子 8 の上面となる。一方、ダミーゲート電極 9 については、特に抵抗値を考慮する必要がないため、全面にシリサイド層が形成されている。

【 0 0 7 9 】

このように、例えばMOSトランジスタ形成領域でゲート電極がポリサイド構造によって形成されている場合には、ポリサイド構造の抵抗素子8及びダミーゲート電極9を形成することができる。抵抗素子8のシリサイド層を選択的に除去しておくことにより、抵抗素子8の抵抗値を所望の値に設定することができる。

【0080】

上述したような実施の形態2の各半導体装置の製造方法は、実施の形態1の半導体装置の製造方法にダミーゲート電極7の形成工程を加えたものである。すなわち、抵抗素子4のパターニングと同時に、素子活性領域3上を含む領域に図2～5、図7～9に示したような所定形状のダミーゲート電極7をパターニングすることによって、実施の形態2の半導体装置を製造することができる。また、図6に示すように、素子分離酸化膜2の周囲を素子活性領域3で囲むためには、実施の形態1で説明したSTI法による溝形成の際に、素子分離酸化膜2の形成領域に相当する矩形状の溝を形成してシリコン酸化膜等の絶縁膜を埋め込むようにする。

【0081】

以上説明したように、実施の形態2では、素子活性領域3上に抵抗素子4とほぼ平行に並べられたダミーゲート電極7を設け、ダミーゲート電極7と抵抗素子4との間隔を近接させることにより、抵抗素子4の形状安定化を達成することができる。特に、ダミーゲート電極7と抵抗素子4の間隔をパターン間隔の最小値に設定することにより、抵抗素子4とダミーゲート電極7の形成を最適なプロセス条件で行うことができる。これにより、抵抗素子4の形状をより高い寸法精度で形成することが可能となり、抵抗素子4の抵抗値を所望の値に設定することが可能となる。

【0082】

実施の形態3.

図10はこの発明の実施の形態3である半導体装置を示す模式図であって、半導体装置の平面構成を示す平面図である。この半導体装置は、図1の半導体装置の素子活性領域3に不純物を導入して、抵抗素子として機能する拡散層10を形成したものである。各拡散層10の両端はコンタクト層12を介して上層の配線

層 1 1 と接続されている。

【 0 0 8 3 】

実施の形態 3 の半導体装置では、実施の形態 1 と同様に各抵抗素子 4 が形成された素子分離酸化膜 2 を素子活性領域 3 で分断することによって、CMP 法による研磨の際に素子分離酸化膜 2 の表面の平坦性を向上させることが可能となるとともに、素子活性領域 3 に拡散層 1 0 を形成することにより、拡散層 1 0 による抵抗素子（拡散層抵抗素子）を抵抗素子 4 と同一領域に隣接して形成することができる。

【 0 0 8 4 】

従って、実施の形態 3 によれば、抵抗素子 4 の寸法精度を高めるとともに、各抵抗素子 4 間に形成した素子活性領域 3 を利用して拡散層抵抗素子を形成することができ、限られたスペース内で効率良く抵抗素子を形成することが可能となる。

【 0 0 8 5 】

実施の形態 3 の各半導体装置の製造方法は、実施の形態 1 の半導体装置の素子活性領域 3 に不純物導入工程を加えたものである。すなわち、素子活性領域 3 を形成した後、イオン注入により素子活性領域 3 に所定の不純物を導入することにより、素子活性領域 3 を所望の抵抗値を有する拡散層 1 0 とすることができる。その後、層間絶縁膜の形成、拡散層 1 0 に接続されるコンタクト層 1 2 の形成、配線層 1 1 の形成工程を経て実施の形態 3 の半導体装置を完成させる。

【 0 0 8 6 】

図 1 1 は、実施の形態 3 の半導体装置の別の例を示す平面図である。図 1 1 の半導体装置は、抵抗素子 4 の幅方向の左右に素子活性領域 3 を設けるとともに、各抵抗素子 4 の長手方向の端部と近接するように延在する素子活性領域 3 を設け、これらの素子活性領域 3 に所定の不純物を導入することにより抵抗素子として機能する拡散層 1 0 を形成したものである。各拡散層 1 0 の両端はコンタクト層 1 2 を介して上層の配線層 1 1 と接続されている。

【 0 0 8 7 】

このように、抵抗素子 4 の周囲 4 方向を拡散層 1 0 （素子活性領域 3 ）で囲む

ことにより、素子分離酸化膜 2 の広がり制限することができ、CMP 法により素子分離酸化膜 2 を研磨した際の平坦性を向上させることが可能となる。また、素子分離酸化膜 2 を抵抗素子として機能する拡散層 1 0 とすることにより、抵抗素子 4 と拡散層 1 0 によって抵抗素子を構成することが可能となり、同一範囲での抵抗素子の配置効率を大幅に高めることができる。

【 0 0 8 8 】

実施の形態 4

図 1 2 はこの発明の実施の形態 4 である半導体装置を示す平面図である。図 1 2 の半導体装置は、図 2 の半導体装置と同様に抵抗素子 4 の両側に隣接する素子活性領域 3 にダミーゲート電極 7 を形成したものであり、抵抗素子 4 の更に上層に層間絶縁膜を介して配線層 1 3 が形成したものである。

【 0 0 8 9 】

一般に、抵抗素子の直上を通過する配線層が存在する場合、配線層の影響により多結晶シリコン膜の活性化率が変化する。このため、直上に配線層が存在する抵抗素子と直上に配線層が存在しない抵抗素子とでは抵抗値に差が生じてしまう。

【 0 0 9 0 】

実施の形態 4 では、各抵抗素子 4 の直上を均一な割合で配線層 1 3 が覆うようにしている。具体的には、抵抗素子 4 の面積と、抵抗素子 4 の面積と重複する配線層 1 3 の面積との比率を各抵抗素子 4 において同一の割合に設定している。これにより、配線層 1 3 の影響によって多結晶シリコン膜の活性化率が変化した場合であっても、各抵抗素子 4 に生じる抵抗差をほぼ同一とすることができ、各抵抗素子 4 の抵抗値を均一化することができる。なお、抵抗素子 4 の抵抗値を均一化するためには、上述のように抵抗素子 4 に対する配線層 1 3 の配置を同一条件とすることが望ましいが、抵抗素子 4 上に配線層 1 3 を全く形成しないことにより抵抗値の均一化を達成することもできる。

【 0 0 9 1 】

以上説明したように実施の形態 4 では、抵抗素子 4 の面積と抵抗素子 4 上に形成された配線層 1 3 と抵抗素子 4 とが重複（オーバーラップ）する範囲の面積と

の割合を各抵抗素子4について一定とすることにより、配線13に起因する抵抗値の差を同一とすることができ、ほぼ同一の抵抗値を有する抵抗素子4を形成することができる。

【0092】

【発明の効果】

この発明は、以上説明したように構成されているので、以下に示すような効果を奏する。

【0093】

抵抗素子と近接する位置に活性領域を設けたことにより、抵抗素子近傍の絶縁膜を必要な範囲に区切ることができ、CMP法による絶縁膜の研磨の際に絶縁膜の中央部に凹みが形成されてしまうことを抑止できるため、抵抗素子の形状の寸法精度を向上させて抵抗値の信頼性を高めることが可能となる。

【0094】

絶縁膜をシャロートレンチ法により形成した素子分離膜とすることにより、CMP法による絶縁膜の研磨の平坦性を向上させることができる。

【0095】

絶縁膜上に複数の抵抗素子を並べて配置し、各々の抵抗素子の下層の絶縁膜の幅を活性領域によって所定幅に規定することにより、それぞれの抵抗素子近傍の絶縁膜を必要な範囲に区切ることができる。

【0096】

絶縁膜の幅に起因して変化する抵抗素子の抵抗値のシフト量に基づいて、絶縁膜の所定幅を規定することにより、抵抗値のシフト量を所望の値に設定することが可能となる。

【0097】

活性領域上を含む領域にダミーゲート電極を設けたことにより、抵抗素子のパターンが孤立することを抑止することができ、抵抗素子の形状を高い精度で形成することが可能となる。

【0098】

ダミーゲート電極の面積を活性領域の面積よりも広く形成されており、活性領

域をダミーゲート電極によって完全に覆うことにより、ダミーゲート電極の形状の安定化を達成することができ、これにより抵抗素子の形状を更に高精度に形成することができる。

【 0 0 9 9 】

1つの活性領域上に複数のダミーゲート電極を形成したことにより、活性領域の面積が比較的広い場合であっても、抵抗素子とダミーゲート電極を近接させることができる。また、活性領域上のダミーゲート電極間にゲート配線を通過させることが可能となる。

【 0 1 0 0 】

抵抗素子とダミーゲート電極の間の距離を前記複数の抵抗素子において同一の値に設定することにより、プロセス条件を最適化させた状態で各抵抗素子の抵抗値を均一にすることができる。

【 0 1 0 1 】

隣接する活性領域の間に複数の抵抗素子を形成したことにより、抵抗素子の配置効率を向上させることができる。

【 0 1 0 2 】

隣接する活性領域の間に形成した複数の抵抗素子間の距離を、半導体基板上に形成されたパターン相互の間隔の最小値に設定することにより、プロセス条件を最適化させた状態で抵抗素子のパターニングを行うことができる。

【 0 1 0 3 】

活性領域を抵抗素子の長手方向の端部近傍まで到達させ、抵抗素子の周囲を活性領域によって囲むことにより、抵抗素子が形成された絶縁膜を島状に独立したパターンとすることができ、CMP法による研磨の際の絶縁膜表面の平坦性を更に向上させることができる。

【 0 1 0 4 】

ダミーゲート電極を前記抵抗素子の長手方向の端部近傍まで到達させ、抵抗素子の周囲をダミーゲート電極によって囲むことにより、抵抗素子の形状を高い寸法精度で形成することが可能となる。

【 0 1 0 5 】

抵抗素子を多結晶シリコン膜及びシリサイド膜からなるポリサイド構造の積層膜から構成し、シリサイド膜を抵抗素子の上面で選択的に除去することにより、ゲート層としてポリサイド構造のゲート層を用いた場合であっても所望の抵抗値を有する抵抗素子を形成することができる。

【0106】

ダミーゲート電極を多結晶シリコン膜及びシリサイド膜からなるポリサイド構造の積層膜から構成することにより、ポリサイド構造のゲート層を用いた場合であっても、抵抗素子の形状安定化を達成することができる。

【0107】

活性領域に所定の不純物を導入するとともにコンタクト層を接続し、活性領域を拡散層抵抗素子として機能させることにより、素子分離膜上の抵抗素子の近傍に拡散層抵抗素子を配置することができ、抵抗素子の配置効率を高めることができる。

【0108】

活性領域を抵抗素子の長手方向の両端部近傍に配置し、抵抗素子が延在する方向と垂直方向に延在させたことにより、スペースを有効に活用して拡散層抵抗素子を配置することができる。

【0109】

抵抗素子の上面に所定パターンの配線膜を形成し、抵抗素子の面積と、抵抗素子上で抵抗素子と配線膜がオーバーラップする領域の面積との比をそれぞれの抵抗素子においてほぼ一定としたことにより、配線層の影響により抵抗素子の抵抗値の均一性が損なわれることを抑止することができる。

【0110】

抵抗素子をMOSトランジスタのゲート電極と同一層によって形成したことによりゲート形成と同時に抵抗素子を形成することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1に係る半導体装置を示す模式図である。

【図2】 この発明の実施の形態2に係る半導体装置を示す模式図である。

【図3】 この発明の実施の形態2に係る半導体装置の別の例を示す模式図

である。

【図 4】 この発明の実施の形態 2 に係る半導体装置の更に別の例を示す模式図である。

【図 5】 この発明の実施の形態 2 に係る半導体装置の更に別の例を示す模式図である。

【図 6】 この発明の実施の形態 2 に係る半導体装置の更に別の例を示す模式図である。

【図 7】 この発明の実施の形態 2 に係る半導体装置の更に別の例を示す模式図である。

【図 8】 この発明の実施の形態 2 に係る半導体装置の更に別の例を示す模式図である。

【図 9】 この発明の実施の形態 2 に係る半導体装置の更に別の例を示す模式図である。

【図 1 0】 この発明の実施の形態 3 に係る半導体装置を示す模式図である。

【図 1 1】 この発明の実施の形態 3 に係る半導体装置の別の例を示す模式図である。

【図 1 2】 この発明の実施の形態 4 に係る半導体装置を示す模式図である。

【図 1 3】 従来の半導体装置を示す模式図である。

【図 1 4】 素子分離酸化膜の幅に対する、素子分離酸化膜の中央部の高さ位置及び抵抗素子の全長寸法のシフト量との関係を示す特性図である。

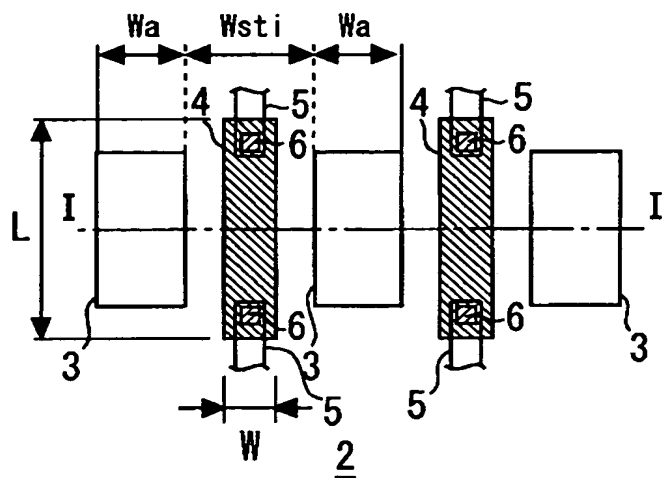
【符号の説明】

1 半導体基板、 2 素子分離酸化膜、 3 素子活性領域、 4, 8 抵抗素子、 5, 1 1 配線層、 6, 1 2 コンタクト層、 7, 9 ダミーゲート電極、 1 0 拡散層。

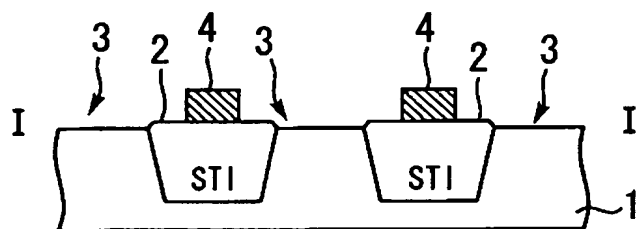
【書類名】

図面

【図 1】

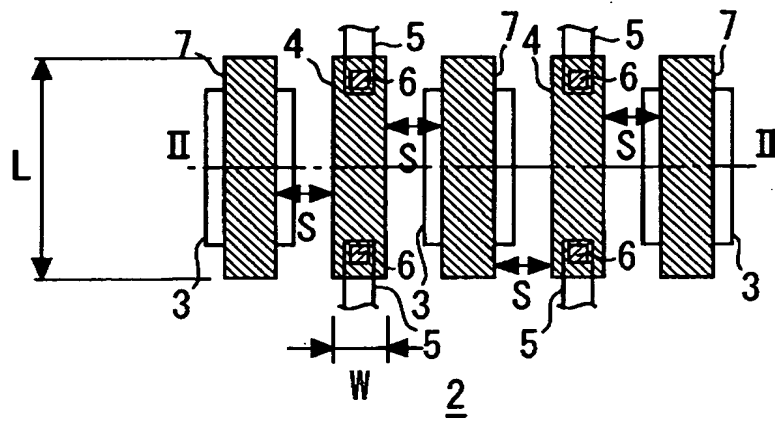


(a)

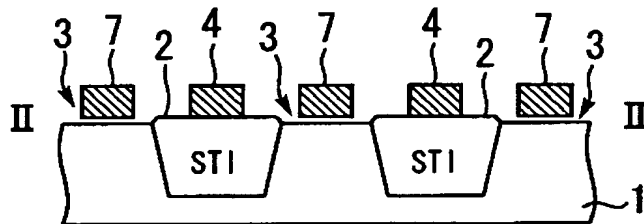


(b)

【図 2】

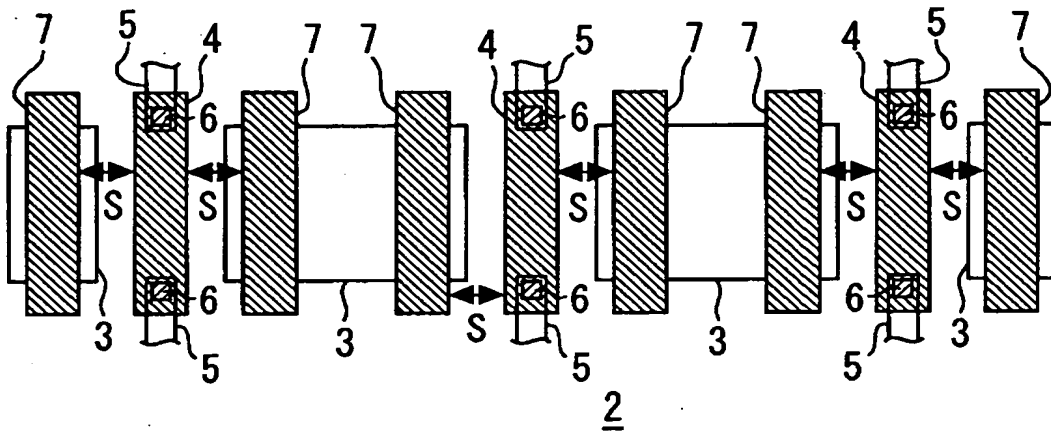


(a)

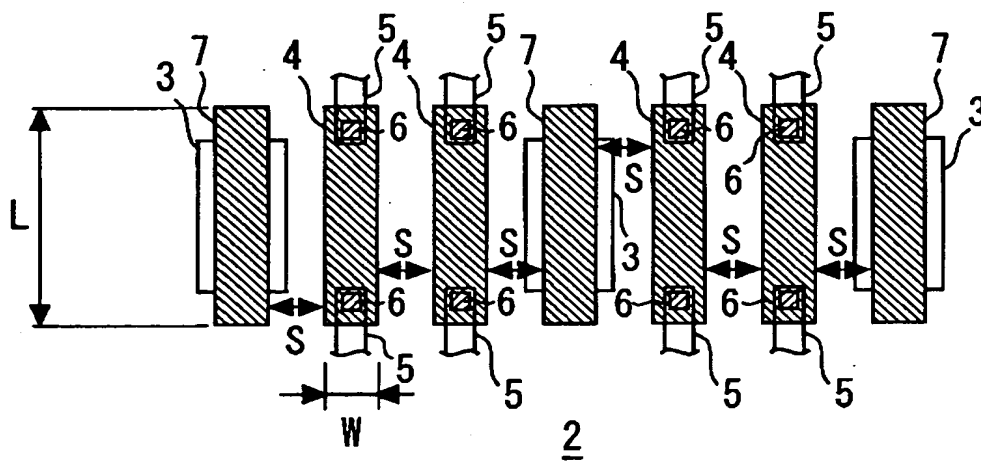


(b)

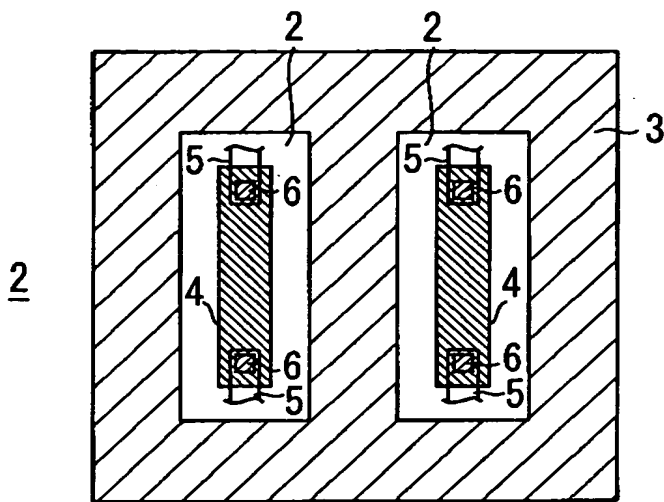
【図 3】



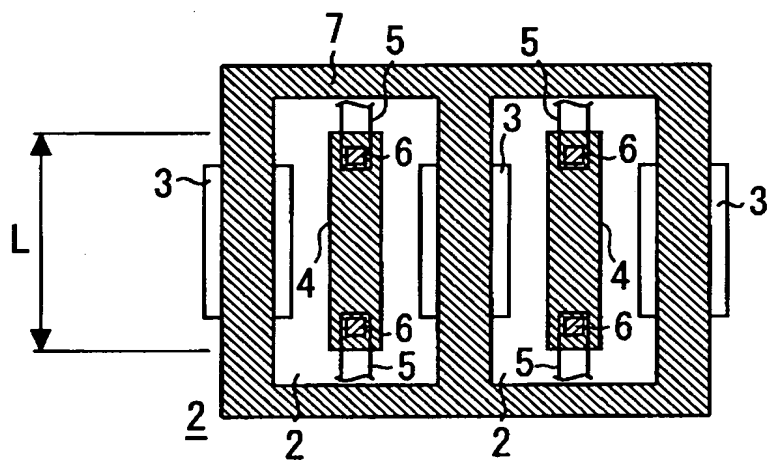
【図 4】



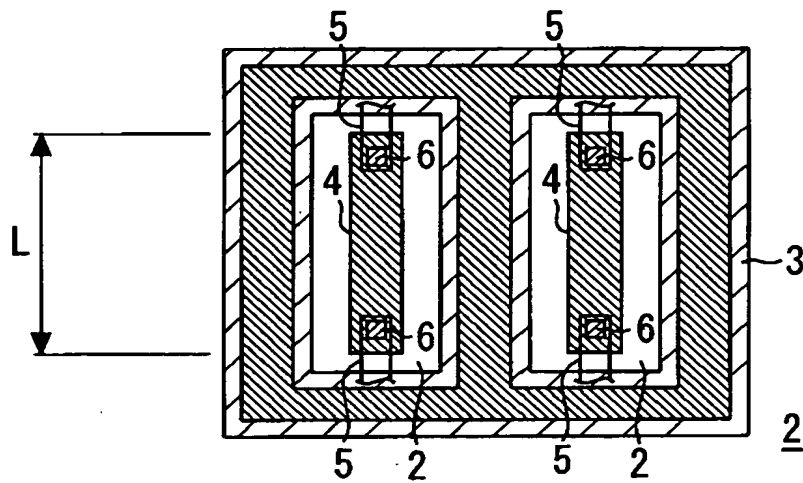
【図 6】



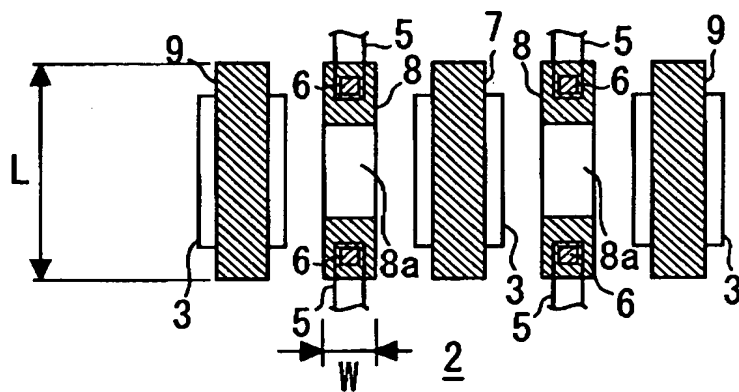
【図 7】



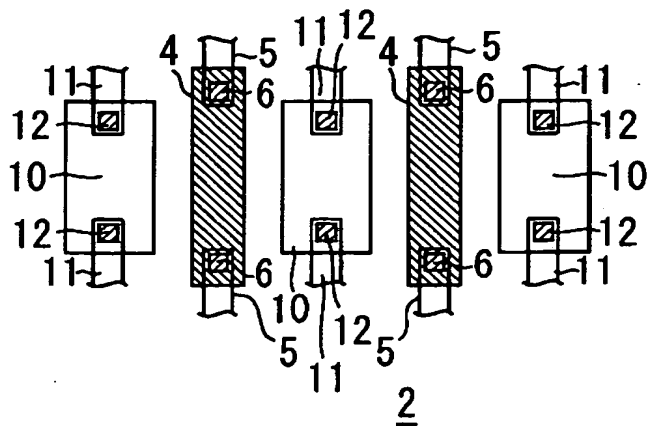
【図 8】



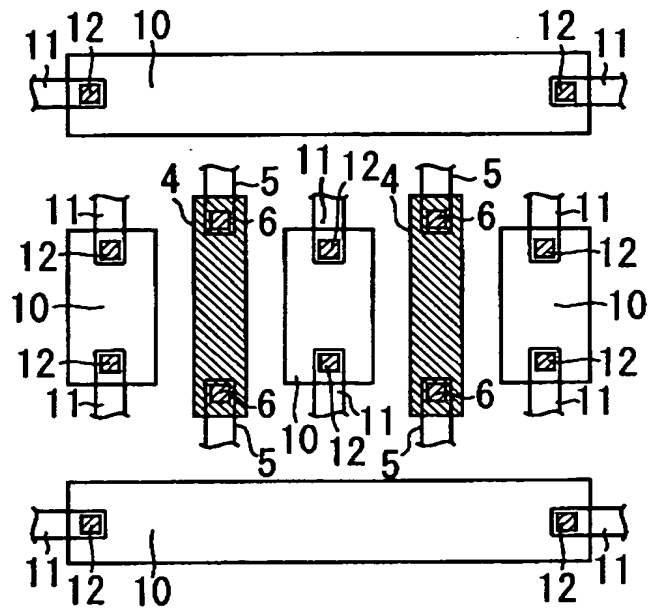
【図 9】



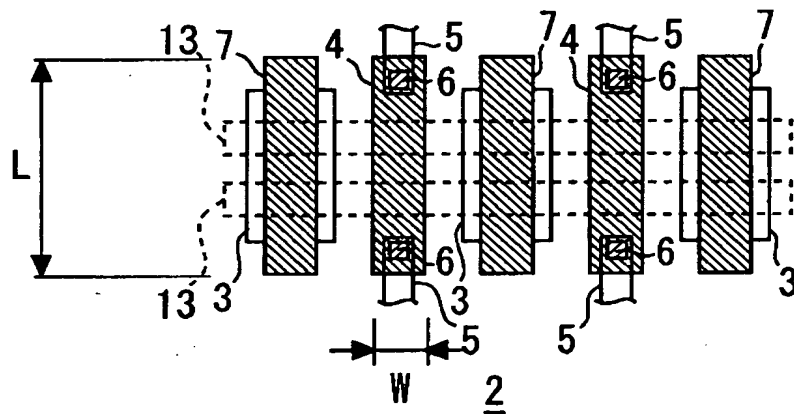
【図 10】



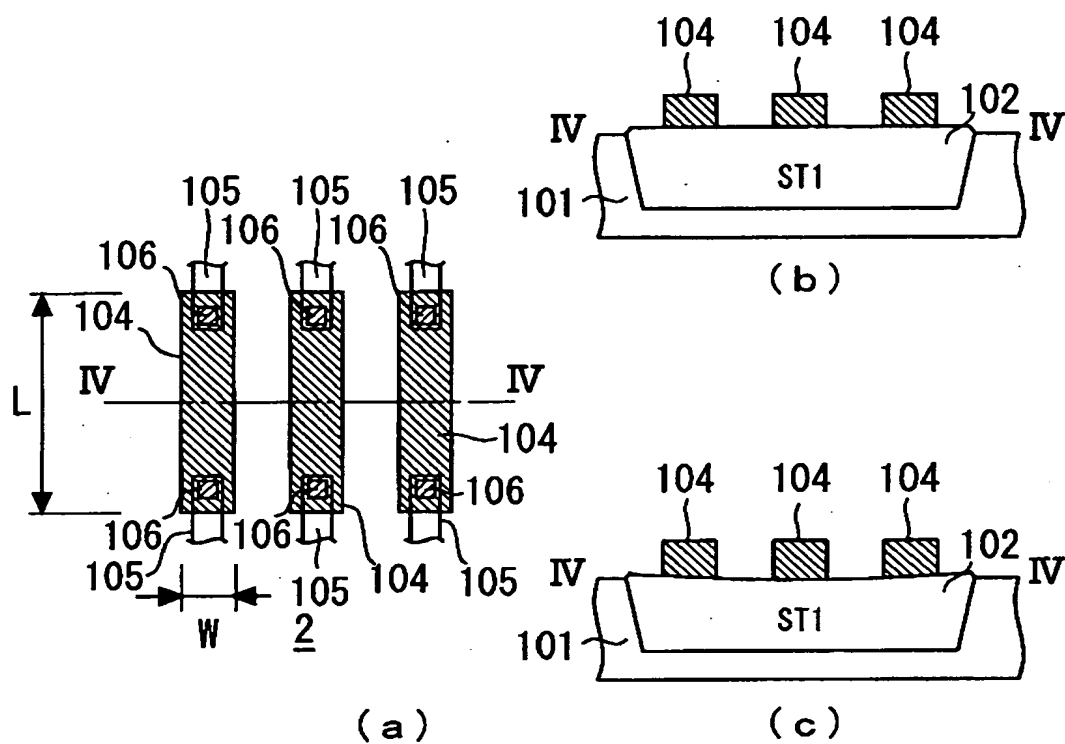
【図 1 1】



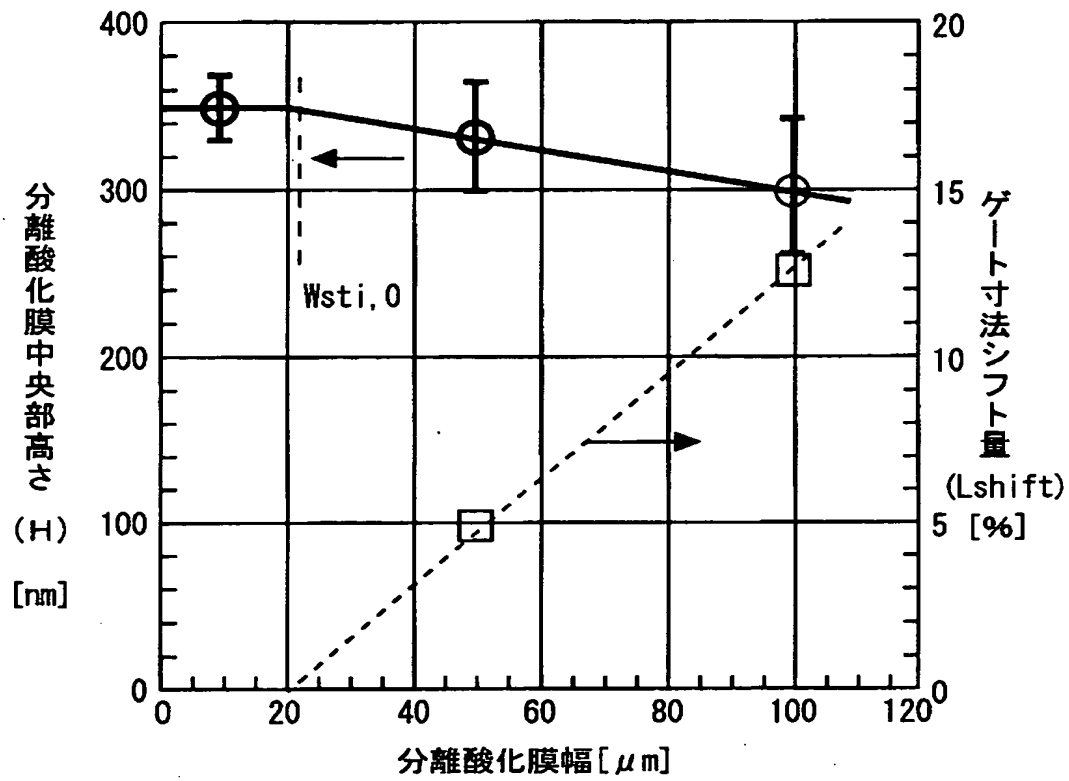
【図 12】



【図13】



【図14】



【書類名】 要約書

【要約】

【課題】 素子分離酸化膜上に所望の形状の抵抗素子を形成して、抵抗値の精度を上げて信頼性を向上させる。

【解決手段】 半導体基板 1 の表面に形成された所定領域の素子分離酸化膜 2 上に複数の抵抗素子 4 が形成された半導体装置であって、抵抗素子 4 と近接する位置に活性領域 3 を設けた。抵抗素子 4 近傍の素子分離酸化膜 2 を必要な範囲に区切ることができ、CMP 法による素子分離酸化膜 2 の研磨の際に素子分離酸化膜 2 の中央部に凹みが形成されてしまうことを抑止できるため、抵抗素子 4 の形状の寸法精度を向上させることが可能となる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社